研究速報

配置処理のための領域分割の改善

磯　直行[†]　　平田　富夫[†]（正員）

Improved Subdivision for Placement

Naoyuki ISO[†], *Nonmember* and Tomio HIRATA[†], *Member*

[†] 名古屋大学工学部，名古屋市
Faculty of Engineering, Nagoya Univ., Furo-cho, Chikusa-ku, Nagoya-shi, 464–01 Japan

あらまし　概略配線処理を用いて素子の位置調整を行うとき，素子の間隙幅を最小とするような素子配置を得るためには配線領域の分割の仕方を工夫する必要がある．本論文では，精度良くしかも高速に間隙幅の見積りが行えるように領域分割を改善する方法を与える．

キーワード　レイアウト設計，領域分割，配置修正，概略配線

1.　まえがき

VLSIやプリント配線板のレイアウト設計では，まず素子の配置が決められ，これをもとにして次に配線処理が行われている．配線処理では，概略配線経路を探索し，次にそれを詳細配線に変換して最終的な配線位置を決定することが多い．我々は，素子の配置位置を固定せずに配線処理を行い，概略配線経路をもとに配置位置を調整する配置配線手法を提案した[1]．そこでは，レイアウト平面上に素子が概略的におかれているとき，まず配線として使える領域（配線領域）を分割し，次に得られた小領域の隣接関係から経路探索を行い，素子間に必要最低限の間隙幅を見積もる．この見積りに基づき，素子の最終的な位置が調整される．このとき，配線領域を細かく分割すれば，概略配線経路が実際の配線経路に近い形状として表現でき，その結果として素子間の間隙幅の見積りの精度を上げることができる．しかし，多くの小領域へ分割することは，その後行われる配置配線処理に多くの時間を必要とする．そこで，分割から得られる小領域の数が素子数に比例する程度で，しかも素子の間隙の見積りの精度が悪くならないような分割が望まれる．特に素子の間隙に大きく細長い形状の小領域（偏平した小領域）があると，その間隙幅の見積りの精度が著しく損なわれる．従って，そのような偏平した小領域を生成しない領域分割が必要となる．

これまでに提案されている配線手法における領域分割には，格子分割や台形分割があるが，素子数の2乗に比例する分割数が必要であったり，分割から得られる小領域の形状が偏平することがある．[1]で用いられている三角形分割でも，素子の輪郭辺が周囲の素子と比べて長い場合に，素子の間隙にある小領域の形状が偏平してしまう．

本論文では，素子間を通過する配線数見積りを精度良く行うために領域分割を改善する．ここで用いる領域分割は制約付きDelaunay三角形分割（CDT：Constrained Delaunay Triangulation）[2]であるが，提案する改善方法は他の分割法にも適用可能である．更に，改善された領域分割を実際の素子配置処理に適用した結果についても述べる．

2.　配線数見積りと素子位置決定

素子を水平または垂直の輪郭辺をもつ方形領域（ブロック）とし，以下のようにしてその位置を決定する．ブロックが平面上におかれ，端子はブロックの輪郭線上にあるものとする．互いに面している二つのブロック間隙に必要な幅は，その間隙を通る概略配線数から見積もることができる[1]．まずCDTにより配線領域を小領域へ分割する．このとき，素子の輪郭辺は必ず分割辺とする．得られた小領域の隣接関係を隣接関係グラフARG（Adjacency Relation Graph）で表現する（図1）．概略配線経路は，ARG上の端子点間を接続する経路として与えられているものとする．次に，ブロック間隙に必要な幅を以下のようにして見積もる．ARG上で二つのブロックに対応する節点を結ぶ最短路を探索し，その最短路上の節点を通過する概略配線経路数が間隙を通過する配線数の見積りである．図2の例では，B_1, B_2の間を結ぶ最短路を通過している概略配線経路の数は3本である．見積もった配線数からこの二つのブロックの間に必要な間隙幅がわかる．このようにして各ブロックの垂直および水平方向の間隙幅を定めることによりすべてのブロックの配置位置を調整する．

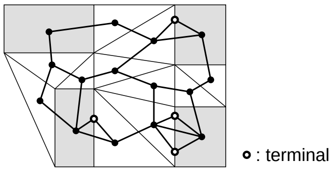


図1　隣接関係グラフARG
Fig. 1　ARG(Adjacency Relation Graph).

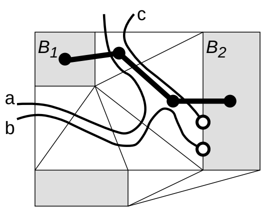
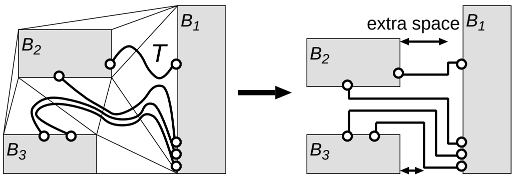
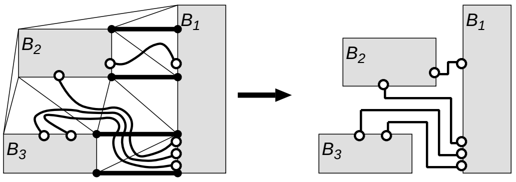


図2　間隙幅の見積り方法
Fig. 2　Estimation of the gap width between B_1 and B_2.



(a) Simple subdivision and its detailed layout.



(b) Improved subdivision and its detailed layout.

図3　概略配線経路と配線数見積り
Fig. 3　Global paths and estimation of gap width.

3．領域分割の改善

図3は，ブロックの間隙幅を定める例を示している．図3（a）は，偏平した三角形Tを4本の概略配線経路が通るため，ブロックB_1とB_2の間隙に4本の詳細配線が通ると見積もられる．従って，余分な間隙幅が確保されている（B_1とB_3の間隙も同様）．そこで，偏平した三角形の生成を避けるために，B_1の長い辺に面しているブロックの頂点からこの辺へ制約辺を挿入する（図3（b））．この制約辺の追加により，偏平した三角形は小さな三角形へ分割される．但し，この処理を単純に行うと追加された制約辺同士が交差することがあり，最悪の場合にブロック数の2乗に比例した数の小領域へ配線領域を分割してしまう．本論文では，ブロック間に“近接関係”を定義し，近接しているブロックの間隙にのみ制約辺を追加することで制約辺同士が交差しないような領域分割方法を提案する．

［定義］ブロックBを垂直（水平）方向へ移動するとき，Bと初めて接触するブロックをB'とする．このとき，BはB'に垂直（水平）方向に接触可能であるという．垂直方向に接触可能なブロック間に他のブロックと交差しない線分を引く．レイアウト領域の境界辺もそれぞれブロックとみなす．ブロックBについて，水平方向に接触可能なブロックのうち，上で引いた線分に遮られずその一部または全部をBから水平方向に見ることができるブロックを，Bに対して水平方向に近接しているブロックと呼ぶ（図4）．垂直方向に近接しているブロックも同様に定義する．　□

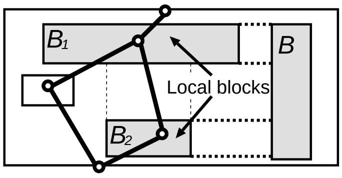


図4　Bに近接しているブロック（B_1とB_2）
Fig. 4　B_1 and B_2 are local for B.

制約辺はブロックとそれに近接しているブロックとの間隙に追加される．定義から，水平（垂直）方向に近接しているブロックとの間隙には垂直（水平）の制約辺が挿入されることはなく，追加された制約辺が互いに交差することはない．大きさの極端に異なるブロックが混在する場合，近くのブロック間に制約辺を挿入しようとしても“近さ”を絶対的な長さで指定することはできない．上で定義した近接関係はブロックの大きさに対し相対的な近さを定義している．

この近接関係による制約辺の追加処理はスキャンアルゴリズムにより実現できる．まず水平方向の制約辺を以下のようにして挿入する．垂直のスキャンラインを左から右方向へ平行移動（走査）し，新しいブロックBに接触するごとに停止する．既にスキャンラインが通過したブロックの中で，スキャンラインに近接しているブロック（注1）のリストL_Bを常に保持しているものとする．まず，L_Bに含まれるブロックのうちBと水平方向に接触可能なものとの間隙に水平方向の制約辺を挿入する．それらのブロックをL_Bから削除する．次に，BをL_Bに追加する．この処理を水平方向の右から左へ，また，垂直方向にも同様に行う．L_Bは，それに含まれているブロックの上端と下端の区間データを保持するため，データ構造として区分木を利

（注1）：スキャンラインをブロックとみなして近接関係を考える．

表 1　配置処理への適用結果
Table 1　Results of application to placement.

レイアウト 1 ：素子数 36，ネット数 1184

	面積 [mm]	処理時間 [s]	領域数
緩和法 + 人手修正	72884	—	—
ARG 法	25230(100%)	8	230
ARG 法 + 分割改善	24336(96%)	10	268

レイアウト 2 ：素子数 60，ネット数 1303

	面積 [mm]	処理時間 [s]	領域数
緩和法 + 人手修正	81878	—	—
ARG 法	57240(100%)	22	398
ARG 法 + 分割改善	47260(81%)	26	443

レイアウト 3 ：素子数 124，ネット数 3772

	面積 [mm]	処理時間 [s]	領域数
緩和法 + 人手修正	343666	—	—
ARG 法	114356(100%)	183	846
ARG 法 + 分割改善	112838(99%)	220	947

（計算機 ：Sun SPARCstation 10）

用できる [3]．しかも，L_B 中の各ブロックには交差区間がないため，区分木は平衡 2 分木で表現でき，制約辺の追加・削除処理は素子数 n に対して，$O(n \log n)$ の手間でできる．

4. 実際のデータへの適用

改善された分割手法をプリント配線板のブロック配置処理へ適用した結果を表 1に示す．比較したレイアウト面積は，すべてのブロックを包含する最小の方形の面積である．改善された分割を用いた配置処理では，改善前と比べてレイアウト面積が 1%から 19%縮小しており，領域分割の改善による効果が確認できた．特にレイアウト 2 ではその改善効果が大きく現れている．これは，初期レイアウトとして正方形状で大きさが異なる素子が並べられていたためである．これに対し，レイアウト 1 とレイアウト 3 ではメモリソケットのように細長い形状の素子が多く並び，それらの間隙に挿入された制約辺が通常の三角形分割の辺と一致することが多かったためである．

5. むすび

本論文では，精度が良くしかも高速に素子の間隙幅の見積りが行えるように配線領域の分割方法を改善した．改善された領域分割を実際の素子配置処理へ適用したところ，従来の方法と比べてレイアウト面積の小さい素子配置が得られた．

謝辞　本研究に関し，貴重な御意見を賜りました株式会社日立製作所オフィスシステム事業部 岩本鉦二副技師長，山田則男 DA 応用設計部長，堅田敏幸主任技師，森山隆志氏，ならびに中京大学情報科学部 伊藤誠教授に感謝致します．

文献

[1] 磯 直行，伊藤 誠，平田富夫, “詳細配置問題を組み込んだ配線モデル,” 信学技報, VLD94–70, 1994.
[2] L.P. Chew, “Constrained delaunay triangulations,” Proc. third annual symposium on computational geometry, pp. 215–222, 1987.
[3] 浅野哲夫,“計算幾何学,” pp.46–50，朝倉書店, 1990.
[4] 磯 直行，平田富夫, “配置処理のための領域分割の改善,” 信学技報, VLD95–125, 1995.

（平成 8 年 1 月 4 日受付）