配置処理のための領域分割の改善

磯　直行　平田富夫

名古屋大学工学部
〒464–01 名古屋市千種区不老町
E-mail: fmiso@nuee.nagoya-u.ac.jp

VLSI やプリント配線板設計における概略配線処理では，配線領域を小領域に分割することがよく行なわれる．分割により得られた小領域の隣接関係を表現するグラフ上で経路探索を行ない，概略配線経路をその小領域の列で表す．概略配線経路が決定すれば素子間を実際に通過する配線数を見積もることができ，素子間に不要な幅を確保しないように素子の位置を調整することができる．この見積りを十分精度良く行なうためには，配線領域の小領域への分割の仕方を工夫することが必要である．本論文では，精度の良い配線数見積りが行なえるように三角形領域分割を改善する．また，改善された領域分割を実際の素子配置処理へ応用した結果についても述べる．

Improved Subdivision for Placement

Naoyuki Iso and Tomio Hirata

Faculty of Engineering, Nagoya University
Furo-cho, Chikusa-ku, Nagoya
464-01 Japan

In VLSI and printed wiring board(PWB) layout design, global routing process subdivides the routing area and finds the topological paths using a graph which represents adjacency of subdivisions. Using the obtained global paths, we can estimate the number of wires passing through the gaps between opposite components and we can adjust the positions of components based on the estimation. In this paper, triangulation of routing area is improved so that the gaps are estimated accurately. The improved subdivision is applied to actual placement and its efficiency is proved experimentally.

1. はじめに

VLSIやプリント配線板のレイアウト設計における配置配線問題は，配置問題と配線問題に分離して扱うことが多い．ビルディングブロック方式のように素子の配置位置を自由に決定できるレイアウトの場合，配置処理はまず素子の初期位置を与え，次に適当に定められた配置評価のもとで逐次的に素子位置を改善する．このようにして得られた素子配置が初期配置である．次に配線処理を行なう．配線処理では上の配置処理で得られた素子配置に対し概略配線経路を決定する．すなわち各配線が素子間をどのように通過して結線されるかを決める．次にそれをもとにして経路の詳細な位置を決定する．すべての配線を達成できなかった場合にはまず概略配線経路を修正し詳細配線を試みる．それでもなお達成できない時は配置処理をやり直す．このレイアウト設計方式では配置の変更がたとえ微調整であっても配置処理を最初からやり直すためその計算時間のロスは大きい．

我々は素子の配置位置を完全に固定せず，概略配置のもとで配線経路を探索する新しいレイアウトモデルを提案した[1]．配置位置が固定されていないため詳細配線処理に失敗した時に素子配置の微調整が容易に行なえる．このレイアウトモデルでは，配線領域を小領域に分割し，隣接する小領域の列により概略配線経路を表現する．概略配線経路が決まれば素子の間隙を通過する配線数を見積もることができ，その間隙の幅が最小となるようにそれらの詳細な配置位置を決定することができる．

上の小領域への分割は，概略配線経路を表現できる適切な領域分割である必要がある．処理時間の観点からは，素子数をnとするとき分割により得られる小領域の数が$O(n)$であることが望ましい．また，素子の間隙に必要な幅を正確に見積もるため，概略配線経路は最終的な配線経路に近い形状を持つことが望まれる．このためには，分割により得られる小領域が偏平した形状を持たないことが必要である．

これまで提案されている配線手法で用いられている領域分割としては，Leeのルータ[2]における水平および垂直方向の格子分割，チャネルおよびスイッチボックスへの分割[3, 4]，それに台形分割[5]などがある．これらの分割方法では，分割数が素子数の2乗に比例する数になり処理時間が増えたり，また，得られた小領域が偏平した形状を持つため素子の間隙幅の見積りの精度が上がらないことがある．

本論文では，素子間を通過する配線数見積りを精度良く行うための領域分割の改善を提案する．ここで用いる分割には制約付きDelaunay三角形分割[6]を用いるが，提案する領域分割の改善方法は他の分割方法にも適用可能である．さらに，改善された領域分割を実際の素子配置処理へ応用した結果についても述べる．

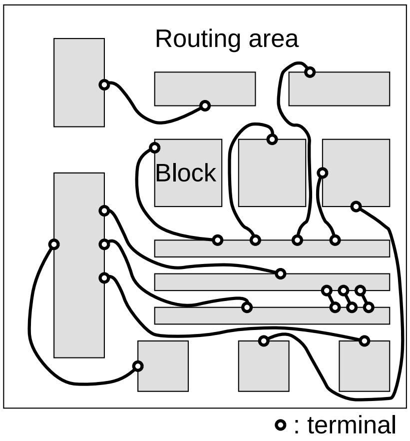


図1　レイアウトモデル

2.では本論文で扱うレイアウトモデルについて説明し，3.で領域分割の改善方法とレイアウト面積最小化を目的とした配置処理について述べる．4.で改善された領域分割を実際の配置処理に適用し，改善の効果を調べる．5.は結論である．

2. レイアウトモデル

本論文では，ブロックと呼ばれる水平または垂直の輪郭辺を持つ矩形領域が平面上に置かれ，その輪郭辺上の端子間を接続する経路のトポロジが与えられているものとする（図1）．レイアウトモデルは経路のトポロジを概略配線経路として表現し，経路がどのようにブロック間を通過するかという情報を保持する．概略配線は水平垂直配線や斜め配線と言った最終的な配線経路の形状までは規定しない．概略配線経路が求まれば，隣接する二つのブロック間に必要な間隙幅を，そこを通る概略配線の本数から求めることができる．また，ブロック内を一つのレイアウト領域と考えれば，本モデルは階層的なレイアウトモデルとすることができる．

2.1 配線領域の分割

本論文では[1, 7]で使われている制約付きDelaunay三角形分割（CDT：Constrained Delaunay Triangulation）について改善を行なう．CDTは，あらかじめ定められている辺（制約辺と呼ぶ）を分割辺として必ず含むDelaunay三角形分割である．CDTは分割された三角形の最小角がすべての三角形分割の中で最大であるというDelaunay三角形分割の性質を持つため（制約として与えられた辺の付近を除いて）配線領域をほぼ等辺の三角形に分

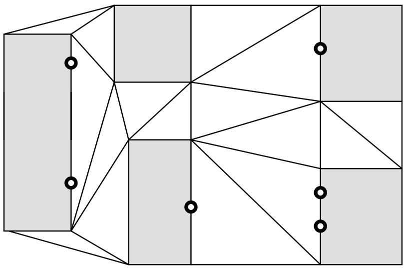


図 2　配線領域の三角形分割

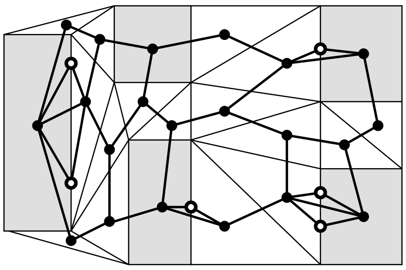


図 3　隣接関係グラフ ARG

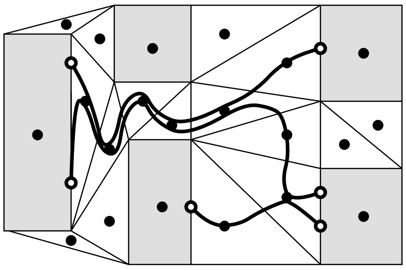


図 4　概略配線経路表現

割することができる．

まず，ブロックの輪郭辺を制約辺として CDT を適用し配線領域を三角形に分割する．このとき，ブロック内の対角辺は取り除くものとする（図 2）．

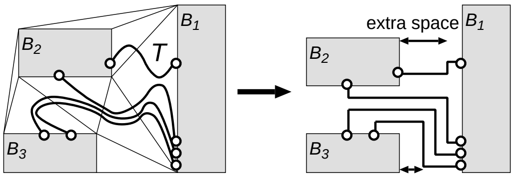
次に，小領域（素子および三角形領域）の隣接関係をグラフで表現する（図 3）．このグラフを隣接関係グラフ ARG（Adjacency Relation Graph）[1] と呼ぶ．

定義 1　隣接関係グラフは次の節点集合 V と枝集合 E をもつグラフ $G=(V,E)$ である．V は分割された小領域の重心および各端子点である．E は小領域が互いに分割辺を共有するとき，それらの小領域に対応する節点間を結ぶ枝の集合である．E は，端子点とそれが属すブロック（三角形領域）の重心を結ぶ枝も含むものとする．　□

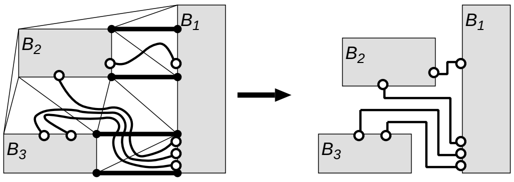
概略配線経路は，小領域に対応する節点を経由し二つの端子点間を接続する ARG 上の経路である（図 4）．概略配線経路はブロック内を通過することがあることに注意する．

2.2　配線数見積りとブロック位置決定

隣接する二つのブロック B_1, B_2 の間隙幅を決定するために，そこを通過する配線数を ARG 上の概略配線経路から見積もる方法について述べる．ARG 上で B_1 の重心から B_2 の重心への最短路 P を求める．次に P と交差する概略配線経路の数を調べる．つまり，P の節点についてそこを通過している概略配線経路の集合を求める．その集合の大きさから P と交差する概略配線経路数がわかるので，B_1, B_2 間の垂直または水平方向に必要な間隙幅を定めることができる．このようにして，すべてのブロックの配置位置を決定する．



(a) Simple subdivision and its detailed layout.



(b) Improved subdivision and its detailed layout.

図 5　配線数の誤った見積りと正しい見積り

3.　領域分割の改善とレイアウト面積最小化

前節の領域分割ではブロックの輪郭辺を CDT の制約辺とした．極端に細長いブロックがある場合には長い制約辺が生じ，分割により得られる三角形が偏平した細長い形状となる．このような三角形領域は ARG 上の一点で代表することは難しい．つまり，その代表点を通る概略配線経路はそこで大きく湾曲することがあり，ブロックの間隙を通る配線数見積りが正確にできなくなる．図 5（a）は，ブロックの間隙幅を定める例を示している．最終的な配線経路ではブロック B_1, B_2 間が 1 本分，ブロック B_1, B_3 間が 3 本分の間隙幅で十分であるにも関わらず，ともに 4 本分と見積もられ，ブロック間に不必要な間隙幅が確保されている．これは B_1, B_2 間および B_1, B_3 間を通過する配線数を求めるときに，ブロックに対応する節点を結ぶ ARG 上の最短路 P がともに長い制約辺を持つ三角形 T を通り，それぞれの間隙に 4 本の概略配線が通っていると見積もられたためである．

3.1　領域分割の改善

そこでこのような偏平した三角形領域の生成を避けるための方法として，その長い制約辺とそれに隣接したブロックとの間に制約辺を追加する．すなわち，隣接するブロックを長い制約辺上に水平または垂直方向に射影し

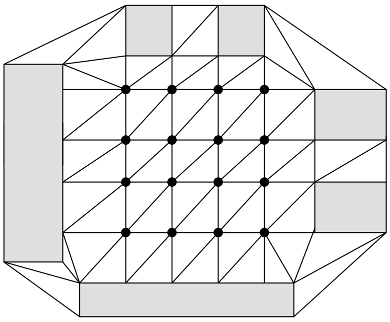


図 6　単純な制約辺の追加と交差点の発生

たとき，その像の両端点から辺に垂直な制約辺を追加する（図 5（b））．

しかし，水平および垂直方向の長い制約辺に対してそれぞれこの処理を行うと，追加した制約辺どうしが交差することがある．配線領域を平面領域分割するときにはこれらの交点も分割領域の頂点としなければならない．すなわちその交点数は最悪でブロック数の 2 乗に比例し，配線領域の分割数が増大する（図 **6**）．

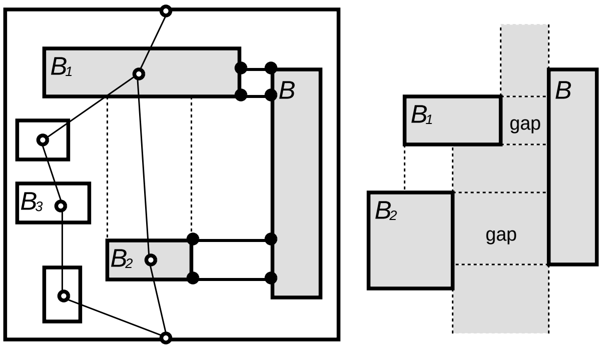
本論文ではブロック間に近接関係を定義し，近接しているブロックの間隙のみに制約辺を追加して領域分割を行う．近接しているブロック間隙内では他の制約辺との交差が起こらないことが保証されている．

定義 2　ブロック Bを垂直（水平）方向へ移動するとき，Bと初めて接触するブロックを B'とするならば，Bは B'に垂直（水平）方向に接触可能であるという．各ブロック内部にそのブロックに対応する代表点を置く．レイアウト領域の境界辺もブロックの辺とみなして上下に一個ずつ代表点を置く．垂直方向に接触可能なブロックの代表点間に他のブロックと交差しない線分を引く．ブロック Bについて水平方向に接触可能なブロックのうち，代表点間に引いた線分に遮られずその一部または全部を Bから見ることができるブロックを Bに対して水平方向に近接しているブロックと呼ぶ（図 **7**）．垂直方向に近接しているブロックも同様に定義する．　□

近接しているブロックの定義から次のことが言える．

性質 1　ブロック Bについて，Bに水平方向に近接しているブロックとの間隙，およびその間隙の上下にはブロックの端点が存在しない（図 7（b））．垂直方向に近接しているブロックについても同様である．　□

追加される制約辺はブロックの端点から発生するため，この性質により水平方向に近接しているブロックの間隙には垂直方向の制約辺が存在しないことが保証される．よって，水平方向に近接しているブロック間の間隙に対して追加した制約辺と垂直方向の制約辺との交差は起こらない．垂直方向に近接しているブロックも同様である．さらに，追加される制約辺の数の合計は素子数に線形で



(a) Local blocksB_1,B_2 for$B$.

(b) This area has not end point of block.

図 **7**　Bに対して近接しているブロック

ある．この追加された制約辺とブロックの輪郭辺を制約辺とする CDT を用いて配線領域を分割することで，分割数は $O(n)$ のままで，分割から得られる三角形が偏平していない三角形分割を得ることができる．

図 6 の例では水平方向と垂直方向ともにブロックは近接していない．このまま制約辺を互いに追加しないものとすると，領域分割の改善は得られない．そこで，水平方向か垂直方向かどちらか一方でも制約辺を追加した方がブロック間隙間を通過する配線数見積りが改善されることが考えられる．つまり，ブロックの水平方向のブロックについては近接しているブロックでないものに対しても制約辺を追加し，垂直方向に対しては近接しているブロック間にのみ制約辺を追加する方法が考えられる．この場合，水平方向に多くの長い制約辺が追加される可能性があり，水平，垂直のどちらの方向を優先するかは判別できない．しかし，近接しているブロック間に追加される辺だけは確実に制約辺とすることができる．

3.2　間隙幅の見積りの改善

この節ではブロック間を通過する配線数の見積り方法について改善を行なう．ARG を用いたブロックの間隙幅の見積りは，その間隙を通過する概略配線経路数で評価される．しかし，実際にはブロックの輪郭辺上に端子点が存在し，間隙内の配線にはその端子点と接続しているものも存在する．

そこで，ブロックの間隙内の端子点に注目してブロック間に必要最小限の間隙幅を見積る方法について述べる．まず，近接ブロック間の間隙を通過する配線経路を三種類に分類する．一つめは間隙内の端子と接続することなく間隙をただ通過する配線経路である（図 **8**（a））．この経路は，そのブロック間を通過するためにその本数分の間隙幅が必要である．二つ目は間隙を作る二つのブロックの一方の端子から他方へ接続されている配線経路である．これはブロック辺と垂直な経路ですべて配線できる時に必要な間隙幅が最小となる．このときは間隙を通過

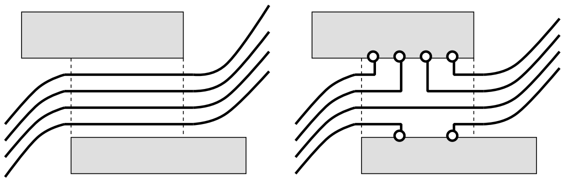

(a) Four paths passing through between opposite blocks.
(b) Minimum width for the gap which have terminals.

図 8　近接しているブロック間を通過する配線数の見積り

するだけの経路はない．最後は，間隙内の端子点から間隙外へ接続している経路である．これらの経路が m 本ある時，最小で $\lceil m/2 \rceil$ 本分の間隙幅で配線を実現できる（図 8 (b)）．すなわち，ブロック間に最低限必要な間隙幅は間隙を通過する配線数と二つのブロックそれぞれの間隙内の端子数の半数との和である．

ここでブロック間に見積もる間隙が必要最小限で十分であることを説明する．一般に，自動レイアウトでは必要十分なブロックの間隙幅を正確にかつ短時間で見積もることは難しく，間隙幅を必要以上に大きく見積ってしまうことが多い．そして最終的なレイアウトを得るためにブロック間の間隙幅を増やすことはあっても減らすことはしない．もしブロック間の間隙幅がチャネル配線などの詳細配線処理で不足した時はブロックの移動処理 [8] などで間隙幅を確保できる．よって，本レイアウトモデルは各ブロックに近接しているブロックとの間の間隙幅は必要最小限の距離だけ確保することを目的とする．

3.3　平面分割アルゴリズム

三角形分割アルゴリズムは 2 ステップからなる．まずステップ 1 では，スキャンラインアルゴリズムにより各ブロックについて近接ブロックを求め，追加すべき制約辺を得る．ステップ 2 で，求められた制約辺に対して [6] のアルゴリズムを用いて三角形分割を行なう．まず，ステップ 1 のアルゴリズムを解説する．

ステップ 1 のスキャンは水平および垂直方向それぞれ正負方向に合計 4 回行なう．以下では水平正方向のスキャンについて説明するが，他の方向も同様である．

各ブロックの左端点座標を停止点としてスキャンラインを左から右方向へ順次移動させる．スキャンの各ステップで保持するデータは，スキャンラインの左側にあるブロックでスキャンラインに近接しているブロックのリストである．このリストを近接ブロック候補リスト L と呼ぶ．L はレイアウト平面の下側および上側境界も要素として持つものとする．

スキャンラインがブロックの左端点で停止したとき，このブロックについて近接しているブロックを L から求め，制約辺に追加する．さらに L を更新する．

提案する平面領域分割アルゴリズムを次に示す．

平面領域分割アルゴリズム

(1) 制約辺の集合 E_c および，制約辺の頂点の集合 V を空にする．近接ブロック候補リスト L を空にする．
(2) ブロックの左端点座標について水平方向昇順にソートする．
(3) スキャンラインを水平正方向に移動しブロックの左端点ごとに停止する．ブロックの左端点がなければ (6) へ．
(4) スキャンラインがブロック B の左端点にあるとき，以下の処理を行なう．
    (a) L を調べ，B と水平方向に接触可能なブロックもしくは B よりも上方向で B に最も近いブロックを ℓ とする．ℓ が B と水平方向に接触可能である場合，ℓ と B 間に制約辺 2 本とその両端の頂点を生成し V および E_c に追加する（ℓ は B に対して近接しているブロック）．
    (b) L を ℓ から上および下方向に調べ，B について垂直方向に接触可能でないブロックを L から削除し B を挿入する．
(5) (3) に戻る．
(6) 水平負方向および垂直正負方向も同様にスキャンし，追加すべき頂点と制約辺を V および E_c に追加する．
(7) ブロックの頂点と輪郭辺を V, E_c にそれぞれ追加する．
(8) 頂点を V，枝を E_c とするグラフ $G = (V, E_c)$ を制約とする制約付きドローネ三角形分割 $T = (V, E)$ を求める．

この作業を素子数 n に対して，$O(n \log n)$ の手間で実現するためには，近接ブロック候補リストのデータ構造として区間木 [9] を用いれば良い．本アルゴリズムでは保持しているブロックの幅の区間に重複がないため，平衡二分木で表現できる．

4.　配置処理への適用

提案した領域分割の改善効果を確かめるため，平面領域分割アルゴリズムを計算機上で実現し，レイアウト面積最小化を目的とするブロック配置処理に適用した．入力として用いた設計データは素子数が 30, 60, 124 の実際のプリント配線板製造データで，ネット数はそれぞれ 1184, 1303, 3772 である．まず平面領域分割アルゴリズムにより配線領域を小領域に分割し ARG を構築した．次に ARG 上で概略経路探索を行ない，ブロック間の配線数見積りからブロック間に必要な間隙幅を求めた．そし

表 **1**　配置処理結果

レイアウト 1 :素子数 36，ネット数 1184

	面積 [mm]	配線長 [mm]	領域数	時間 [s]
緩和法 ＋人手修正	72884	(51715)	—	—
ARG 法	25230 (100%)	57212	230	8 (100%)
ARG 法 ＋分割改善	24336 (96%)	58047	268	10 (125%)

レイアウト 2 :素子数 60，ネット数 1303

	面積 [mm]	配線長 [mm]	領域数	時間 [s]
緩和法 ＋人手修正	81878	(53878)	—	—
ARG 法	32712 (100%)	75089	398	22 (100%)
ARG 法 ＋分割改善	31772 (97%)	77297	443	26 (118%)

レイアウト 3 :素子数 124，ネット数 3772

	面積 [mm]	配線長 [mm]	領域数	時間 [s]
緩和法 ＋人手修正	343666	(281261)	—	—
ARG 法	203814 (100%)	365144	846	183 (100%)
ARG 法 ＋分割改善	161022 (79%)	293162	947	220 (120%)

計算機: Sun SPARCstation 10

てブロック間に必要な間隙幅を制約とする配置アルゴリズム [10] を適用しブロック配置を行なった．

配置処理の結果を表 **1** に示す．参考のため，配置改善手法として知られる緩和法 [11] を用いた場合の配置結果も示している．改善された分割を用いた配置処理では改善前に比べて 3%から 21%のレイアウト面積の縮小ができることが確認できた．追加された制約辺数および得られた小領域数は素子数に対して大きく増えることはなく，従って処理時間も大きく増加しないことを確認した．この結果から，配線領域の領域分割の改善がレイアウト面積の縮小化に効果的であることがわかった．

5. むすび

水平または垂直方向の輪郭辺を持つ矩形の素子が平面上に複数配置されているとき，素子間を通過する概略配線の本数からその間隙に必要な幅を精度良く見積もるために，領域分割の改善を行なった．実際のプリント配線板レイアウトデータに対して改善された領域分割を適用し，ブロックの間隙幅の見積りから求めた素子配置を行なった．結果はレイアウトの面積が改善前に比べて 3%から 21%小さくなった．これにより領域分割改善の有効性が示された．

謝辞　本研究に関し，貴重な御意見を賜わりました株式会社日立製作所 オフィスシステム事業部 岩本鉦二副技師長，山田則男 DA 応用設計部長，堅田敏幸主任技師，森山隆志氏，ならびに中京大学情報科学部 伊藤 誠教授に感謝いたします．

参考文献

1) 磯 直行，伊藤 誠，平田富夫: 詳細配置問題を組み込んだ配線モデル, 情報処理学会研究報告 DA72–8, pp. 43–48,(1994).
2) C.Y.Lee: An Algorithm for Path Connections and Its Applications, *IRE Transactions on Electornic Computers*, EC–10, pp. 346–365 (1961).
3) Alan T. Sherman: VLSI Placement and Routing: the PI Project, *Springer-Verlag*, pp. 99–113 (1989).
4) Yoichi Shiraishi, Jun'ya Sakemi and Kazuyuki Fukuda: A Global Routing Algorithm Based on the Multi-commodity Network Flow Method, *IEICE Trans. Fundamentals*, vol. E76–A, No. 10, pp. 1746–1754 (1993).
5) W.L.Schiele, Th.Kruger, K.M.Just, F.H.Kirsch: A Gridless Router for Industrial Design Rules, *27th ACM/IEEE Design Automation Conference*, p. 38-1, pp. 626–631 (1990).
6) L. Paul Chew: Constrained Delaunay Triangulations, *Proceedings of the third annual symposium on computational geometry*, pp. 215–222 (1987).
7) 田中 博，金沢正博，田中秀彦，佐藤政生，大附辰夫: スケッチ表現に基づく多層配線システム, 情報処理学会研究報告 DA70–9, pp. 63–70 (1994).
8) Edited by T.Ohtsuki: Layout Design and Verification, *North-Holland*, pp. 191–198 (1986).
9) 浅野哲夫 :計算幾何学, 朝倉書店, pp.46–58，(1990).
10) Y.Z.Liao, C.K.Wong: An Algorithm to Compact a VLSI Symbolic Layout with Mixed Constraints, *20th ACM/IEEE Design Automation Conference*, p. 9-1, pp. 107–112 (1983).
11) 藤代一成編 :CAD/CAM, 丸善, (1990).